

DOCUMENT-IDENTIFIER: JP 11251912 A

TITLE: DIGITAL/ANALOG CONVERTER AND CURRENT SOURCE CIRCUIT

Abstract Text (2):

SOLUTION: This current source circuit composed of a first current mirror circuit 311 for duplicating a reference current, a second current mirror circuit 312 which is a current mirror circuit for duplicating a constant current outputted by the first current mirror circuit 311 and constituted of the transistor of the conducting type of a polarity opposite to the transistor for constituting the first current circuit 311 and a switching circuit 319 for opening/short-circuiting the constant current input terminal of the second current mirror circuit 312 and a power source terminal by digital signals is used in this D/A converter. Thus, since the number of the elements of voltage formation serially connected between the power source and the ground is reduced from conventional three to two, a power supply voltage required for securing the operation of the current source circuit is reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251912

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶

H 0 3 M 1/68
1/74

識別記号

F I

H 0 3 M 1/68
1/74

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平10-47336

(22) 出願日 平成10年(1998) 2月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 市来 周蔵

東京都小平市上水本町五丁目20番 1 号 株
式会社日立製作所半導体事業部内

(74) 代理人 弁理士 高橋 明夫 (外 1 名)

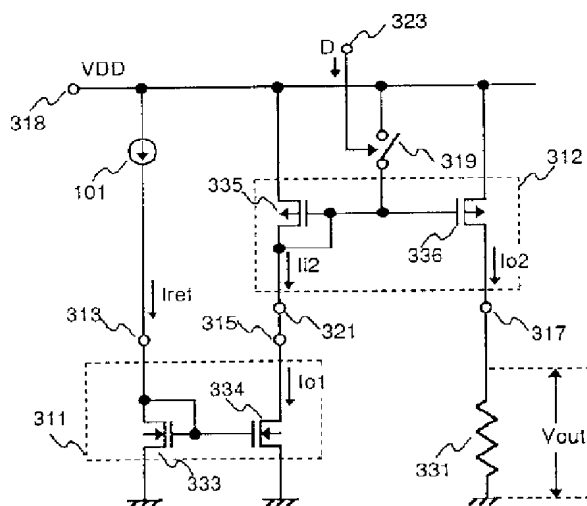
(54) 【発明の名称】 デジタル・アナログ変換器及び電流源回路

(57) 【要約】

【課題】電源の低電圧化が可能な電流源回路による新規のD/A変換器を提供すること。電源の低電圧化が可能な新規の電流源回路を提供すること。

【解決手段】基準電流を複製する第1のカレントミラー回路と、第1のカレントミラー回路が出力する定電流を複製するカレントミラー回路であって第1のカレントミラー回路を構成するトランジスタとは反対極性の導電形のトランジスタによって構成した第2のカレントミラー回路と、第2のカレントミラー回路の定電流入力端子と電源端子の間をデジタル信号によって開放・短絡するスイッチング回路とからなる電流源回路をD/A変換器に用いる。

図 1



【特許請求の範囲】

【請求項1】 少なくとも1個の電流源回路を有し、当該電流源回路の定電流出力の有無をデジタル信号に対応して選択することによってアナログ信号を得るデジタル・アナログ変換器において、

前記電流源回路は、アナログ信号値を定める基準電流を複製する第1のカレントミラー回路と、第1のカレントミラー回路が出力する定電流を複製する回路であって第1のカレントミラー回路を構成するトランジスタとは反対極性の導電形のトランジスタによって構成した第2のカレントミラー回路と、第2のカレントミラー回路の定電流入力端子と電源端子の間をデジタル信号に対応して開放・短絡するスイッチング回路とを備えてなることを特徴とするデジタル・アナログ変換器。

【請求項2】 前記電流源回路を行列のマトリクス状に配置した電流マトリクスと、電流源回路の定電流出力の有無の選択を行列の交点の個々に行なう手段とを有していることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項3】 前記電流源回路は、出力する定電流の電流値がデジタル信号の個々のビットの重みに対応して設定されている重み付き電流源回路であることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項4】 前記重み付き電流源回路は、第2のカレントミラー回路の出力側を構成するトランジスタの個数が重みに応じて定められていることを特徴とする請求項3に記載のデジタル・アナログ変換器。

【請求項5】 デジタル信号の上位ビットを入力デジタル信号とする請求項2に記載のデジタル・アナログ変換器と、当該デジタル信号の下位ビットを入力デジタル信号とする請求項3に記載のデジタル・アナログ変換器と、双方の変換器が出力するアナログ信号を合成する手段とからなることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項6】 定電流を複製する第1のカレントミラー回路と、第1のカレントミラー回路が出力する定電流を複製する回路であって第1のカレントミラー回路を構成するトランジスタとは反対極性の導電形のトランジスタによって構成した第2のカレントミラー回路と、第2のカレントミラー回路の定電流入力端子と電源端子の間を開放・短絡するスイッチング回路とを備えてなることを特徴とする電流源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電流源回路を利用してデジタル信号をアナログ信号に変換するデジタル・アナログ変換器、特に半導体集積回路装置に適用し*

$$VDD = V_{ds1} + V_{ds2} + V_{out}$$

MOSTランジスタの一般的特性から、電流源となるMOSTランジスタ301のドレイン電流の電流源回路間の

*て好適なデジタル・アナログ変換器に関する。

【0002】

【従来の技術】デジタル・アナログ変換器（以下「D/A変換器」という）は、情報機器の中で、制御系、表示系、映像・音声系などに幅広く用いられる。一方、近年、各種の情報機器が市場に投入され、同機器に使用する半導体集積回路装置、特にLSIが盛んに開発されている。最近では、システムそのものを1チップに納めたシステムLSIのニーズが高まっており、D/A変換器の多くがマイクロプロセッサやゲートアレイなど他の回路と共にシステムLSIの中に搭載されるようになってきた。

【0003】こうしたシステムLSIは、大規模化が著しく、高性能・多機能化、小型化、低消費電力化などの要求が強い。そのため、製造プロセスは、微細化の一途を辿っている。しかし、微細化は素子の耐圧減少を伴う。そのため、LSIの電源電圧は、携帯用途に限らず、3V近辺、更にはそれよりも低くせざるを得ない状況になってきている。

【0004】一般的なD/A変換器の例として、デジタル信号に応じて電流を選択することによってアナログ信号を出力する電流選択型がある〔例えば電子情報通信学会信学技報、第CAS95-53、IDC95-126号第55頁～第60頁（1995年9月）参照〕。

【0005】電流選択型のD/A変換器を構成する電流源回路の例を図7に示す。MOS（Metal Oxide Semiconductor）トランジスタ301は、電流源となるもので、安定化した電圧VBUにバイアスされてドレイン電流である定電流Iを出力する。MOSTランジスタ302、303は、差動電流スイッチを形成するもので、端子308に与えるデジタル信号Dに応じて定電流Iの流れる方向を切り換え、一方の負荷抵抗621に正相のアナログ信号を発生し、他方の負荷抵抗622に逆相のアナログ信号を発生する。

【0006】このような電流源回路の複数がD/A変換のビット数に応じて用意され、各電流源回路が端子603、604に接続されてD/A変換器が構成される。このとき、定電流Iの各電流源回路間の精度は、ビット数が大きくなるに従って高くすることが要求される。即ち、MOSTランジスタ301のドレイン電流のばらつきを厳しく抑えることが要求される。

【0007】MOSTランジスタ301のドレイン・ソース間電圧を V_{ds1} 、MOSTランジスタ302、303のドレイン・ソース間電圧を V_{ds2} 、負荷抵抗621に発生するアナログ信号の最大振幅を V_{out} とすると、電源電圧VDDは、式(1)となる。

【0008】

$$\dots (1)$$

※ばらつきを抑えるために、そのゲート・ソース間電圧を高くし、ドレイン・ソース間電圧 V_{ds1} を高くする必要

がある。また、MOSトランジスタ302、303が差動電流スイッチを形成するために、ドレイン・ソース間電圧 V_{ds2} は、動作する側のトランジスタが飽和領域の状態を維持するよう高くする必要がある。更に、最大振幅 V_{out} は、システムの要求によって設定され、例えば1Vが要求されることが多く、通常は自由に定めることはできない。

【0009】このような3電圧の電源・接地間の直列接続によって電源電圧VDDが定まるため、その電源電圧を下げるには限界がある。そのため、D/A変換器の搭載がシステムLSIの電源電圧低減に限界を与えるという問題点があった。

【0010】

【発明が解決しようとする課題】本発明の主たる目的は、前記従来技術の前記問題点を解決し、電源の低電圧化が可能な電流源回路による新規のD/A変換器を提供することにある。

【0011】本発明の別の目的は、電源の低電圧化が可能な新規の電流源回路を提供することにある。

【0012】

【課題を解決するための手段】本発明の前記課題は、アナログ信号値を定める基準電流を複製する第1のカレントミラー回路と、第1のカレントミラー回路が出力する定電流を複製する回路であって第1のカレントミラー回路を構成するトランジスタとは反対極性の導電形のトランジスタによって構成した第2のカレントミラー回路と、第2のカレントミラー回路の定電流入力端子と電源端子の間をデジタル信号によって開放・短絡するスイッチング回路とからなる電流源回路をD/A変換器に用いることによって効果的に解決することができる。そのような手段を採用すれば、電流源回路において電源と接地の間に直列に接続される電圧は、一方が第1のカレントミラー回路の出力側トランジスタと第2のカレントミラー回路の入力側トランジスタのそれぞれのドレイン・ソース間電圧の2電圧、他方が第2のカレントミラー回路の出力側トランジスタのドレイン・ソース間電圧と負荷抵抗における最大振幅の2電圧となり、従来の3電圧が2電圧に減少するからである。

【0013】このように直列接続の電圧数が低減されることから、従来に比べてより低い電源電圧から定電流を得ることができる電流源回路、即ち定電流動作領域を拡大した電流源を得ることができる。

【0014】

【発明の実施の形態】以下、本発明に係るD/A変換器及び電流源回路を幾つかの図面に示した実施例による発明の実施の形態を参照して更に詳細に説明する。なお、図1～図7における同一の記号は、同一物又は類似物を表示するものとする。

【0015】

【実施例】本発明のD/A変換器の電流源回路の実施例

10

20

30

40

50

を図1に示す。同図において、101は、基準電流 I_{ref} を生成する基準電流源（詳細を後述する）、311は、nMOSトランジスタ333、334を用いた基準電流 I_{ref} を複製する第1のカレントミラー回路、312は、pMOSトランジスタ335、336を用いたカレントミラー回路311が出力する定電流 I_{o1} を複製する第2のカレントミラー回路、331は、カレントミラー回路312が出力するオン・オフの制御を受けた定電流 I_{o2} が供給される負荷抵抗、319は、pMOSトランジスタ335、336のゲート・ソース間の開放・短絡を行なうスイッチング回路を示す。

【0016】スイッチング回路319は、pMOSトランジスタからなり、そのゲートに端子323からデジタル信号Dが供給される。また、電源電圧VDDは、端子318から供給される。カレントミラー回路311は、入力端子313及び出力端子315を有し、カレントミラー回路312は、入力端子321及び出力端子317を有している。

【0017】基準電流 I_{ref} は、アナログ信号値を定める電流であり、その電流値は、アナログ信号の最大振幅を与える電流値をステップ数で除したものである。ステップ数は、D/A変換のビット数を k としたとき、 $2^k - 1$ で表わされる。この基準電流 I_{ref} を生成する基準電流源101の構成を図2に示す。

【0018】基準電流源101は、正相側入力端子と逆相側入力端子とを有する演算増幅器340と、演算増幅器340に接続した同じ構造のpMOSトランジスタ341、342及び基準抵抗 R_{ref} とからなり、その接続点343が演算増幅器340の逆相側入力端子に接続されている。正相側入力端子に基準電圧 V_{ref} を入力すると、接続点343の電圧は基準電圧 V_{ref} と同じになり、 $I_{ref} = V_{ref} / R_{ref}$ の電流がpMOSトランジスタ341のドレイン電流となる。ゲートを共通接続したpMOSトランジスタ342のドレイン電流も同じ電流 I_{ref} になる。即ち、基準電圧 V_{ref} を使って基準電流 I_{ref} が生成される。

【0019】本電流源回路は、スイッチング回路319の開放・短絡によって次のように動作する。まずスイッチング回路319がオン状態の場合、pMOSトランジスタ335、336のゲートが端子318へ短絡されるため、pMOSトランジスタ335、336は、強制的にオフ状態になり、第2のカレントミラー回路312の出力はゼロとなる。また、このとき、第1のカレントミラー回路311が出力する定電流 I_{o1} （即ちカレントミラー回路312の入力電流 I_{i2} ）は、スイッチング回路319を介して端子318へバイパスされる。

【0020】逆に、スイッチング回路319がオフ状態の場合、第1のカレントミラー回路311から出力される定電流 I_{o1} は、pMOSトランジスタ335を流れるため、pMOSトランジスタ336は動作状態となる。すると、pMOSトランジスタ335、336の両者のカレントミラー動作によって定電流 I_{o1} が複製されて第2のカレントミラー回路312の出力となり、それによって定電流 I_{o2} が

得られる。

【0021】電流源回路において電源と接地の間に直列に接続される電圧は、一方が第1のカレントミラー回路の出力側のnMOSトランジスタ334と第2のカレントミラー回路の入力側のpMOSトランジスタ335の各ドレイン・ソース間電圧の2電圧、他方が第2のカレントミラー回路の出力側のpMOSトランジスタ336のドレイン・ソース間電圧と負荷抵抗における最大振幅の2電圧となる。言い換えると、電源と接地の間に直列に接続される電圧形成の素子数が従来の3から2になる。以上

10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50
 から、より低い電源電圧で定電流動作が可能で、即ち、定電流動作領域を拡大した電流源を得ることができる。
 【0022】以上の電流源回路を用いた本発明のD/A変換器の実施例を次に説明する。D/A変換器のブロック構成を図3に示す。D/A変換器は、上位ビットと下位ビットに分けて構成するもので、図3において、109は、上位ビットのための電流源マトリクス型D/A変換器(以下「上位変換器」と略称する)、105は、変換器109の主要部となる定電流動作領域を拡大した電流源マトリクス、112は、下位ビットのための重み付き電流源型D/A変換器(以下「下位変換器」と略称する)、110は、変換器112の主要部となる定電流動作領域を拡大した重み付き電流源群、106、107は、上位ビットのデジタル信号を電流源マトリクス105を制御する信号に変換するそれぞれXデコーダ及びYデコーダ、108は、デコーダ106、107の出力信号の遅延量を等しくするためのラッチ回路、111は、下位ビットのデジタル信号の遅延量を調節して下位変換器112の変換タイミングを上位変換器109と一致させるためのラッチ回路、113は終端回路であり、変換器109、112の出力電流を入力してアナログ信号電圧を出力する。

【0023】電流源マトリクス105は、図1に示した定電流動作領域を拡大した電流源回路をX行Y列に配列して構成したものである。各電流源回路は、デコーダ106、107の制御により、個々にオン状態又はオフ状態になる。その結果、入力デジタル信号に応じた個数だけの電流源回路がオン状態になり、所定の電流が取り出される。

【0024】重み付き電流源群110は、詳細を後で述べるが、図1に示した定電流動作領域を拡大した電流源回路に重みを付けた複数の重み付き電流源回路を配置したもので、重みがあるため入力デジタル信号は、デコーダを経ずに直接電流源回路のオン・オフを制御する。

【0025】本実施例のD/A変換器は、入力するデジタル信号のビット数を10ビットとし、その上位7ビットを上位変換器109で変換し、下位ビットを下位変換器112で変換した。

【0026】このような上、下位ビット構成のD/A変換器の構成を図4に示す。図4において、201はD/A

変換器、202は、デジタル信号(D9～D0)の入力端子、213は、電流源マトリクス105を構成する定電流動作領域を拡大した電流源回路、216～218は、重み付き電流源群110を構成する定電流動作領域を拡大した重み付き電流源回路、206は電流電圧変換器113の出力端子、220は、ラッチ回路108、111の変換タイミングを制御するための制御信号を示す。なお、制御信号220の制御によって、出力端子206のアナログ電圧出力は、次の制御信号入力がある迄、前の変換結果が保持される。また、ラッチ回路108、111は変換タイミングを合わせることによって、制御信号やビット間の遅延ばらつきによって発生するスパイク状波形の雑音が抑えられる。

【0027】基準電流源101は、電流値 I_o の基準電流 I_{ref} を生成し、変換器109、112の各電流源回路は、これを複製、拡大した電流を出力する。電流値 I_o は、本D/A変換器が表わし得る最小振幅の電流であり、アナログ最大振幅は、全ての電流源回路がオン状態になったときに得られ、その大きさは $1023 (=2^k - 1, k = 10)$ I_o となる。

【0028】電流源マトリクス105を構成する電流源回路213は、127個あり、8行16列に1個を減じて配置した。この配置に限らず、16行8列(1個減)や1行127列とすることが可能である。1個を減ずるのは、この1個分の電流を下位ビットが賄うからである。

【0029】上位変換器109における電流源回路213のそれぞれは、各々の制御信号に応じ、電流値 I_o の基準電流 I_{ref} を拡大して電流値 $8 I_o$ の電流を出力するか、又は停止する。従って入力デジタル信号202の値に対して0～127のいずれかの整数 m を対応させると、電流源マトリクスは、 $8 m I_o$ の電流を出力する。

【0030】次に、重み付き電流源群110を構成する重み付き電流源回路216～218は、デジタル信号D2～D0の入力により、ビットの重みに対応した電流を出力するか又は停止する。デジタル信号D2～D0は、電流に重み付けがあるためにデコードの必要がなく、ラッチ回路111を介して直接個々の電流源回路のオン・オフを制御する。電流 I_o は、各電流源によって重みを付けて複写され、それぞれ電流源回路216は $4 I_o$ の電流を、電流源217は $2 I_o$ の電流を、電流源218は I_o の電流を出力するか、又は停止する。

【0031】入力のデジタル信号D2～D0の各ビットの値に対する出力電流は、例えば入力値(D2 D1 D0)が(000)ならば出力電流は0、(001)ならば I_o 、(010)ならば $2 I_o$ の電流が流れる。以後、入力値が1増加する毎に出力電流は I_o ずつ増え、入力値が(111)のときに $7 I_o$ の電流が流れる。

【0032】次に、127個の電流源回路213を行列状に配置して構成した電流源マトリクス105を含む上位変換器109について、その実際の回路を図5に示す。以下、同図を図1を合わせて参照しながら説明する。図5

において、403は、第1のカレントミラー回路311の入力端子313に相当する端子、404～408は、同じく第1のカレントミラー回路311のnMOSトランジスタ333、334に相当するトランジスタ、409～416は、第2のカレントミラー回路312のpMOSトランジスタ335、336に相当するトランジスタ、417～420は、電流源回路のオン・オフを制御するスイッチング回路319を構成するpMOSトランジスタを示す。また、421は、図4に示した電流電圧変換器113の有する負荷抵抗、422は、同じく図4に示したXデコーダ106、Yデコーダ107及びラッチ回路108からなる電流源選択回路を示す。

【0033】基準電流源101は、入力端子403に接続され、出力の基準となる電流値 I_o を供給する。nMOSトランジスタ404は、同じくnMOSトランジスタ405～408の各々と対になって、トランジスタ404自身を入力側素子として、またトランジスタ405～408の各々を出力側素子として、第1のカレントミラー回路を形成する。nMOSトランジスタ404～408は、全て同一サイズ、同一形状で特性を描いたものとする、これらのカレントミラー動作により、nMOSトランジスタ405～408の各ドレイン電流は、 I_o で等しくなる。

【0034】一方、pMOSトランジスタの409と410のペア、411と412のペア、413と414のペア及び415と416のペアは、それぞれ第2のカレントミラー回路423～426を構成する。ここで、前記pMOSトランジスタのペアにおいてペア同士の形状、特性を同じにし、チャネル幅のみ410は409に対して、412は411に対して、414は413に対して、416は415に対してそれぞれ8倍の大きさとしたので、カレントミラー回路423～426は、第1のカレントミラー回路から入力される電流 I_o を8倍に拡大して複製する。そのため、各出力電流は、それぞれ $8I_o$ となる。

【0035】また、カレントミラー回路423～426の各々の共通ゲートと電源端子427(即ち、pMOSトランジスタ409～416のソース)との間にpMOSトランジスタ417～420のドレイン、ソースを接続している。これらpMOSトランジスタ417～420のゲートは、電流源選択回路422へ接続され、D9～D3の入力データ102に対応した制御信号が供給される。制御信号は、“0”の時に電位が接地電位GND、“1”のとき電位が電源電位VDDになる。

【0036】pMOSトランジスタ417～420は、図1に示したスイッチング回路319の役割を果たすが、それらによるスイッチング動作をトランジスタ417の場合を例として説明する。pMOSトランジスタ417のゲート電位が接地電位GNDのときにトランジスタ417がオン状態となってそのドレイン・ソース間が短絡状態となるため、pMOSトランジスタ409、410は、ともにオフ状態となり、出力電流がゼロとなる。このとき、第1のカレントミラー回路のnMOSトランジスタ405から入力さ

れる電流は、電源端子427へバイパスされるので、第1のカレントミラー回路の出力は、遮断されることなく電流値 I_o を維持し続ける。

【0037】一方、pMOSトランジスタ417のゲート電位が電源電位VDDの場合は、トランジスタ417がオフ状態になり、そのドレイン・ソース間が開放状態となるため、第1のカレントミラー回路のnMOSトランジスタ405から入力される電流 I_o は、第2のカレントミラー回路423の入力側素子即ちpMOSトランジスタ409に流れる。このとき、トランジスタ409において電流 I_o に対応したゲート・ソース間電圧が発生するが、この電圧はトランジスタ410のゲート・ソース間電圧と共通であり、またトランジスタ410は、トランジスタ409と形状、特性を描え、チャネル幅のみ8倍としているから、トランジスタ410のドレイン電流は、 $8I_o$ となる。即ち、第2のカレントミラー回路423の出力電流が $8I_o$ として出力される。

【0038】以上のように、図4の電流源回路213は、図5において波線枠428内のトランジスタ405、409、410、417の組で構成される。また、図4の中で電流源回路213は、127個を用いたが、図5では複雑さを避けるため、その内の4個を並列に配置して示した。

【0039】このような各電流源回路の出力端子は、全て上位変換器109の出力端子429に接続されており、各電流源からの出力電流が出力端子429において加算される。従って、上位変換器109の出力電流は、D9～D3による入力デジタルデータの値0～127に対していずれかの整数 m を対応させると、 $8mI_o$ となる。そして、この出力電流は、電流電圧変換器113をなす負荷抵抗421によって電圧に変換されて出力される。

【0040】ここで、電流源回路213を図1の構成とする効果について、図5の上位変換器109の場合を例に説明する。各電流源回路の間の出力電流のばらつきは、第1のカレントミラー回路の出力電流間(nMOSトランジスタ405～408のドレイン電流)のばらつき及び各第2のカレントミラー回路での入力側素子と出力側素子(例えばpMOSトランジスタ409と同410)との整合性によって決まる。ここで重要な点は、各電流源回路の間の出力電流のばらつきにとって、各第2のカレントミラー回路(423～426)の間の整合性は問題でなく、あくまでも個々の第2のカレントミラー回路における入力側素子と出力側素子との整合が必要とされることである。

【0041】第1のカレントミラー回路を構成するnMOSトランジスタ405～408は、127個あるためにチップ上である程度の面積を必要とし、一方の末端からもう一方の末端まで素子間の距離は必然的に大きくなる。従って、素子特性のばらつきやGND電位の勾配もそれに伴って大きくなるのが避けられない。そのばらつきの影響を軽減するため、従来と同様、nMOSトランジスタ405～408のドレイン・ソース間電圧を高くする必要が

ある。

【0042】しかし、各第2のカレントミラー回路においては、入力側素子と出力側素子を非常に近接して配置することが容易であり、それによって両素子間のばらつきを抑えることが可能となるので、定電流動作確保に必要なドレイン・ソース間電圧を低減することができる。そこで生じた電圧の余裕をnMOSトランジスタ405~408のドレイン・ソース間電圧に与えることができ、全体として電源電圧を高めることなく第1のカレントミラー回路側で発生するばらつきを抑えることができる。

【0043】即ち、本発明の電流源回路は、電源と接地の間に直列接続される電圧形成の素子数が2となることに加えて、第2のカレントミラー回路のpMOSトランジスタ409~416のドレイン・ソース間電圧の低減が可能になるという従来に見られない特徴を有し、D/A変換器の電源電圧を大幅に下げることが可能となる。

【0044】次に、図4に示した重み付き電流源回路216~218は、図1に示した第2のカレントミラー回路312の出力側pMOSトランジスタ336をそれぞれの重みに応じた個数の並列接続トランジスタに置き換えることによって実現することができる。

【0045】そのような重み付き電流源回路216~218を有する下位変換器112の実際の回路を図6に示す。

【0046】同図において、nMOSトランジスタ502は、nMOSトランジスタ503~505の各々と対になると共に、トランジスタ502が入力側素子となり、トランジスタ503~505の各々が出力側素子となって第1のカレントミラー回路が構成される。基準電流源101は、第1のカレントミラー回路の入力端子506に接続され、出力の基準となる電流 I_o を供給する。ここで、nMOSトランジスタ502~505は、全て同一サイズ、同一形状で特性を描いたものとする、これらのカレントミラー動作により、トランジスタ503~505のドレイン電流、即ち第1のカレントミラー回路の出力電流は、 I_o で等しくなる。

【0047】一方、pMOSトランジスタ507~516については、トランジスタ507とトランジスタ508~511の組み合わせ、トランジスタ512とトランジスタ513、514の組み合わせ、トランジスタ515とトランジスタ516の組み合わせは、それぞれ第2のカレントミラー回路517~519を構成する。ここで、各組み合わせ内のトランジスタの形状、特性を等しく揃えると、カレントミラー回路517~519は、前記第1のカレントミラー回路からの入力電流 I_o をトランジスタの個数の比例して拡大して複製する。即ち、カレントミラー回路517~519の出力電流は、それぞれ、 $4I_o$ 、 $2I_o$ 、 I_o と定まる。

【0048】また、第2のカレントミラー回路517~519の各々の共通ゲートと電源端子427との間にpMOSトランジスタ521~523のドレイン、ソースを接続している。これらpMOSトランジスタのゲートには、入力デ

ィジタル信号D2~D0が供給され、各ゲートは、“0”のとき接地電位GND、“1”のとき電源電位VDDになる。これらpMOSトランジスタは、図1に示したスイッチング回路319の役割を果たすが、それらによるスイッチング動作は、前記上位変換器109の動作で説明したものと全く同様である。

【0049】以上の構成において、それぞれ、カレントミラー回路517を中心に重み付き電流源回路216が、カレントミラー回路518を中心に重み付き電流源回路217が、カレントミラー回路519を中心に重み付き電流源回路218が形成される。このような重み付き電流源回路216~218の出力端子は、全て下位変換器112の出力端子524に接続されており、各電流源回路からの出力電流は出力端子524にて加算される。

【0050】最終的にこの出力電流は、上位変換器109の出力端子429へ供給されて上位7ビットの変換出力電流と加算され、電流電圧変換器113をなす負荷抵抗421にてアナログ信号電圧が得られる。

【0051】以上によって、本発明のD/A変換器は、電源と接地の間に直列に接続する電圧形成の素子数が2になり、電源に従来よりも低い電圧を採用することが可能になる。

【0052】

【発明の効果】本発明によれば、電源と接地の間に直列に接続する電圧形成の素子数が従来の3から2に減少するので、電流源回路の動作確保に必要な電源電圧を低減することが可能になる。それにより、低い電源電圧で動作する低消費電力のD/A変換器を実現することができる。電源電圧の低減によってD/A変換器を含むLSIの素子の低耐压化、即ち製造プロセスの微細化が可能になり、高集積大規模のLSIを実現することができる。

【図面の簡単な説明】

【図1】本発明に係るD/A変換器の電流源回路の一実施例を説明するための回路図。

【図2】電流源回路の基準電流源を説明するための回路図。

【図3】本発明のD/A変換器の一実施例を説明するための回路概念図。

【図4】本発明のD/A変換器の一実施例を説明するための回路ブロック図。

【図5】図4に示したD/A変換器の電流源マトリクス型D/A変換器を説明するための回路図。

【図6】図4に示したD/A変換器の重み付き電流源型D/A変換器を説明するための回路図。

【図7】従来のD/A変換器の電流源回路の例を説明するための回路図。

【符号の説明】

101…基準電流源、105…電流源マトリクス、109…電流源マトリクス型D/A変換器、110…重み付き電流源群、112…重み付き電流源型D/A変換器、113…電流電

1 1

1 2

圧変換器、213…電流源回路、216～218…重み付き電流源回路、311, 312, 423～426, 517～519…カレントミラー回路、333, 334, 404～408, 502～505…nMOSトランジスタ

ンジスタ、335, 336, 409~420, 507~516, 521~523…
pMOSトランジスタ、319…スイッチング回路。

【※1】

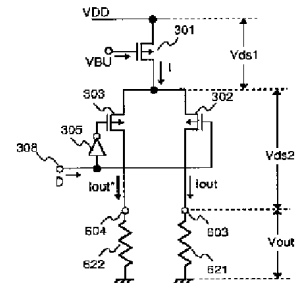
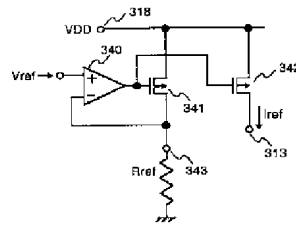
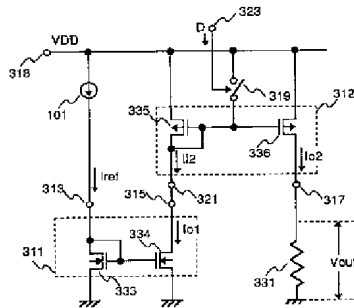
【図2】

【图7】

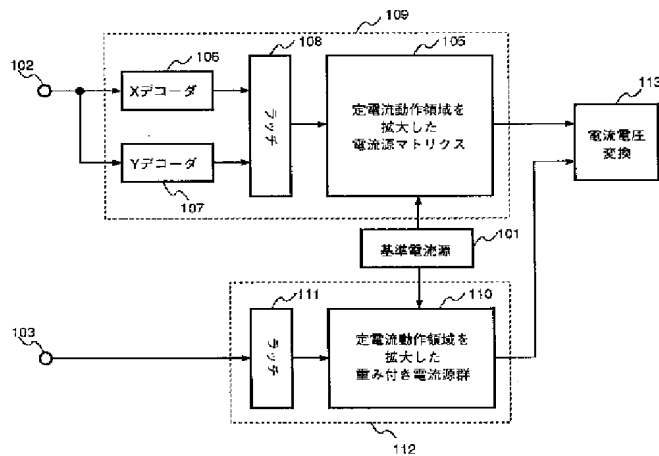
图 1

图 2

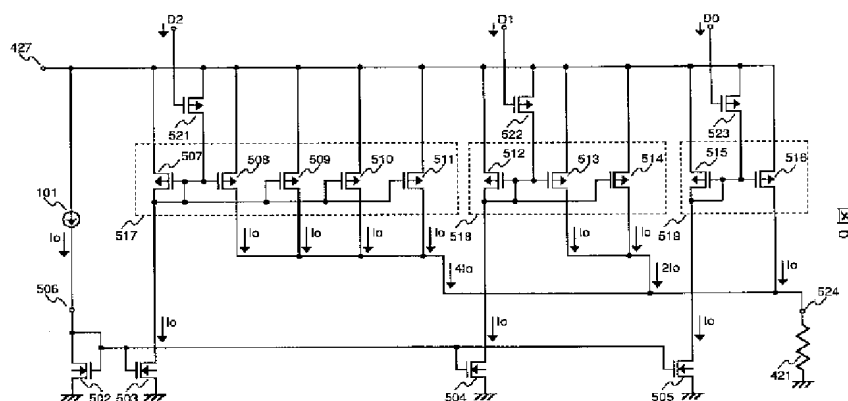
圖 7



【图3】



【図6】





因切

